PENEMPATAN OPTIMAL KAPASITOR BANK PADA JARINGAN DISTRIBUSI 20 KV RAYONBANGKINANG UNTUK MENGURANGI PENURUNAN TEGANGAN MENGGUNAKAN *ETAP 7.5.0*

TUGAS AKHIR

Diajukan Sebagai Salah Satu Syarat Untuk Memperoleh Gelar

Sarjana Teknik Pada Jurusan Teknik Elektro

oleh :

PUTRA ABIDIN
10755000016

UIN SUSKA RIAU

JURUSAN TEKNIK ELEKTRO

FAKULTAS SAINS DAN TEKNOLOGI

UNIVERSITAS ISLAM NEGERI SULTAN SYARIF KASIM RIAU

PEKANBARU

2014

LEMBAR PERSETUJUAN

PENEMPATAN OPTIMAL KAPASITOR BANK PADA JARINGAN DISTRIBUSI 20 KV RAYON BANGKINANG UNTUK MENGURANGI PENURUNAN TEGANGAN MENGGUNAKAN *ETAP 7.5.0*

TUGAS AKHIR

oleh:

PUTRA ABIDIN
10755000016

Telah diperiksa dan disetujui sebagai laporan Tugas Akhir Jurusan Teknik Elektro
di Pekanbaru, pada tanggal 7 Mei 2014

Koordinator Tugas Akhir Jurusan Teknik Elektro	Pembimbing
Dian Mursyitah, ST., MT.	**Liliana, ST., M.Eng.**
NIK. 130510013	**NIP. 19781012 200312 2 004**

LEMBAR PENGESAHAN

PENEMPATAN OPTIMAL KAPASITOR BANK PADA JARINGAN DISTRIBUSI 20 KV RAYON BANGKINANG UNTUK MENGURANGI PENURUNAN TEGANGAN MENGGUNAKAN *ETAP 7.5.0*

TUGAS AKHIR

oleh:

PUTRA ABIDIN
10755000016

Telah dipertahankan di depan Sidang Dewan Penguji
sebagai salah satu syarat untuk memperoleh gelar Sarjana Teknik
Fakultas Sains dan Teknologi Universitas Islam Negeri Sultan Syarif Kasim Riau
di Pekanbaru, pada tanggal 7 Mei 2014

Pekanbaru, 7 Mei 2014

Mengesahkan,

Dekan	Ketua Jurusan
Dra. Hj. Yenita Morena, M.Si.	**Dr. Alex Wenda, ST., M.Eng.**
NIP. 19601125 198503 2 002	**NIP.1978126 200710 1 001**

DEWAN PENGUJI :

Ketua	**: Dr. Teddy Purnamirza, ST., M.Eng.**	
Sekretaris	**: Liliana, ST., M.Eng.**	
Anggota I	**: Ahmad Faizal, ST., MT.**	
Anggota II	**: Aulia Ulah, ST., M.Eng.**	

PENEMPATAN OPTIMAL KAPASITOR BANK PADA JARINGAN DISTRIBUSI 20 KV RAYON BANGKINANG UNTUK MENGURANGI PENURUNAN TEGANGAN MENGGUNAKAN ETAP 7.5.0

PUTRA ABIDIN
NIM : 10755000016

Tanggal Sidang : 7 Mei 2014
Tanggal Wisuda : November 2014

Jurusan Teknik Elektro
Fakultas Sains dan Teknologi
Universitas Islam Negeri Sultan Syarif Kasim Riau
Jl. SoebrantasNo. 155 Pekanbaru

ABSTRAK

Pada jaringan distribusi jatuh tegangan dan rugi-rugi daya diakibatkan oleh tingginya beban induktif . Untuk mengurangi rugi-rugi daya dan penurunan tegangan, alternatif yang dapat dilakukan adalah dengan memasang kapasitor bank yang bersifat kapasitif yang berguna mengurangi beban induktif . Untuk pemilihan tempat pemasangan kapasitor digunakan *Etap 7.5.0* yang merupakan *software* analisis untuk sistem kelistrikan yang telah berbasiskan Algoritma Genetika untuk mendapatkan hasil yang optimal. Berdasarkan hasil simulasi penempatan kapasitor didapatkan tegangan pada sistem dapat dijaga sesuai batas (Vmin=95 % dan Vmaks=105%) sedangkan rugi-rugi daya nyata berkurang 8,664% dan rugi-rugi daya reaktif berkurang 17,628%.

Kata Kunci : Algoritma Genetika, Aliran Daya, Etap 7.5.0 , Kompensasi Daya Reaktif, Kualitas Tegangan

OPTIMAL CAPASITOR PLACEMENT IN BANGKINANG 20 KV DISTRIBUTION NETWORK TO REDUCE VOLTAGE DROP USING ETAP 7.5.0

PUTRA ABIDIN
NIM : 10755000016

Date of Final Exam : May 7th, 2014
GraduationCeremonyPeriod : November , 2014

Department of ElectricalEngineering
Faculty of Science and Technology
State Islamic University of Sultan Syarif Kasim Riau
Soebrantas St. No. 155 Pekanbaru - Indonesia

ABSTRACT

In thedistributionnetworkvoltage drop andpowerlosscausedbythehighinductiveloads. Toreducethepowerlossandvoltage drop, analternativethatcanbedoneisbyinstallingcapacitorbanksthatusefultoreduceinductiveloads. For theselection of theplace of installation of capacitorsareusedEtap 7.5.0 whichis a software for theanalysis of theelectricalsystemthat has beenbased on GeneticAlgorithmstoobtain optimal results. Based on thesimulationresultsareobtainedvoltage on thecapacitorplacementcanbemaintainedwithinthelimits of thesystem (VminandVmax = 95% = 105%) whilethe real powerlossisreduced 8.664% andreactivepowerlossesreduced 17.628%.

Keywords*: Etap7.5.0, GeneticAlgorithms,PowerFlow,ReactivePowerCompensation, VoltageQuality*

KATA PENGANTAR

Assalamu'aikum Wr. Wb.

Segala puji Syukur kehadirat Allah SWT, yang telah memberi Rahmat dan Hidayah Nya kepada penulis sehingga dapat melaksanakan dan menyelesaikan Laporan Tugas Akhir. Shalawat dan salam kepada Nabi Muhammmad SAW, beserta keluarga, sahabat dan orang – orang yang tetap istiqomah dijalan Nya.

Pada kesempatan ini penulis mengucapkan terima kasih kepada semua unsur yang telah membantu penulis dalam menyelesaikan Tugas Akhir ini antara lain :

1. Kedua Orang Tua Penulis dan Adik yang telah memberikan dorongan moril maupun materil kepada penulis.
2. IbuLiliana, ST., M.Engselaku dosen pembimbing yang membimbing penulis dalam penulisan Tugas Akhir ini.
3. PT. PLN (Persero) Wilayah Riau Cabang Pekanbaru yang telah bersedia memberi data.
4. Pimpinan, Staff dan karyawan Fakultas Sains dan Teknologi.
5. Pimpinan, Seluruh Dosen, Staff dan karyawan Jurusan Teknik Elektro.
6. Semua pihak yang telah membantu yang tidak bisa disebutkan satu persatu.

Dalam penulisan laporan ini, penulis menyadari laporan ini masih memiliki banyak kekurangan-kekurangan akibat keterbatasan pengetahuan yang penulis miliki. Untuk itu penulis membuka diri untuk menerima kritik dan saran yang membangun dari semua pihak untuk kesempurnaan laporan ini dan agar dapat lebih baik dimasa yang akan datang.

Harapan penulis, semoga Laporan Tugas Akhir ini dapat bermanfaat bagi penulis sendiri khususnya maupun pembaca umumnya.

Atas perhatiannya penulis ucapkan terima kasih.

Wassalamu'alaikum Wr. Wb.

Pekanbaru, 7Mei 2014

Putra Abidin

DAFTAR ISI

halaman

LEMBAR PERSETUJUAN ii
LEMBAR PENGESAHAN iii
LEMBAR HAK ATAS KEKAYAAN INTELEKTUAL iv
LEMBAR PERNYATAAN v
LEMBAR PERSEMBAHAN vi
ABSTRAK vii
ABSTRACT viii
KATA PENGANTAR ix
DAFTAR ISI x
DAFTAR GAMBAR xi
DAFTAR TABEL xii
LAMPIRAN xiii

BAB I PENDAHULUAN
1.1 Latar Belakang I-1
1.2 Rumusan Masalah I-2
1.3 Tujuan I-2
1.4 Batasan Masalah I-2
1.5 Manfaat Penelitian I-3

BAB II TINJAUAN PUSTAKA
2.1 Penelitian Terkait II-1
2.2 Sistim Distribusi II-2
2.3 Penurunan Tegangan II-2
2.4 Faktor Daya II-2
2.4.1Kerugian Faktor Daya Kecil II-4
2.4.1 Penyebab Kecilnya Faktor Daya II-4
2.5 Pengaruh Kapasitor Bank II-5
2.5.1 Bagaimana Kapasitor memperbaiki Faktor Daya II-8
2.5.2 Hubungan Kapasitor Dengan Daya Reaktif II-9
2.5.3 Fungsi Kapasitor Pada Sistem Tenaga II-10
2.6 Rugi-Rugi pada Sistem Distribusi II-11

2.7 Studi Aliran Daya II-11
2.7.1 Persamaan Aliran Daya II-13
2.7.2 Metode Newton Raphson II-14
2.8 Operasi Algoritma Genetika II-15
2.9 Prinsip Dasar Pengoperasian Etap 7.5.0 ..... II-17
2.9.1. Setting Parameter jaringan dan Peralatan Distribusi pada Etap 7.5.0 ..... II-17
2.9.2 Penempatan Optimal Kapasitor dengan
Optimal Capasitor Placement Program pada Etap 7.5.0 ..... II-20

BAB IIIMETODE PENELITIAN
3.1 Tahapan Penelitian III-1
3.2 Alat Penelitian III-3
3.3 Metode Penyelesaian III-4
3.3 Metode Analisa Data III-4

BAB IVHASIL DAN ANALISA
4.1 Hasil dan Pembahasan Aliran Daya Sebelum Penempatan Kapasitor bank IV-1
4.2 Hasil dan Pembahasan Aliran Daya Setelah Penempatan Kapasitor bank IV-5
4.3 Perbandingan Hasil Aliran Daya Sebelum dan Setelah Penempatan Kapasitor
Bank pada Sistem IV-6

BAB VKESIMPULAN DAN SARAN
5.1 Kesimpulan V-1
5.2 Saran V-1

DAFTAR PUSTAKA

LAMPIRAN

DAFTAR RIWAYAT HIDUP

DAFTAR GAMBAR

Gambar halaman

2.1a Arus I membelakangi tegangan V dengan sudut Ø II-3
2.1b Arus I dipisahkan menjadi dua komponen. II-3
2.1c Semua sisi segitiga pada gambar 2.1(b) dikalikan dengan tegangan 'V'. II-3
2.2a Rangkaian ekivalen dari saluran II-6
2.2b Diagram vektor dari rangkaian dengan faktor daya laging II-6
2.2c Diagram vektor dengan kapasitor shunt. II-6
2.3 Perbandingan Besar Daya Semu Sebelum dan Sesudah Pemasangan Kapasitor Paralel II-7
2.4 Perbaikan Faktor Daya dengan Kapasitor. II-8
2.5a Generator tanpa kapasitor. II-9
2.5b Generator terpasang dengan kapasitor. II-9
2.6 Perbaikan Faktor Daya dengan Kapasitor. II-10
2.7 Tipikal bus dari sistem tenaga. II-13
2.8 Proses crossover. II-16
2.9 operasi mutasi II-16
2.10 Bus editor pada program Etap 7.5.0. ..... II-17
2.11 Node bus Pada One-Line Diagram Etap 7.5.0.. ..... II-18
2.12 Transmission line editor pada program Etap 7.5.0.. ..... II-18
2.13 lumped load editor II-19
2.14 2-winding trasformer editor pada program Etap 7.5.0.. ..... II-20
2.15 2-winding trasformer editor pada program Etap 7.5.0.. ..... II-20
2.16 Antarmuka pengaturan studi kasus penempatan optimal kapasitor pada program Etap 7.5.0. ..... II-22
2.17 Antarmuka pengaturan studi kasus penempatan optimal kapasitor pada bagian batas tegangan program Etap 7.5.0.. ..... II-21
2.18 Antarmuka pengaturan studi kasus penempatan optimal kapasitor pada bagian kapasitor untuk kandidat bus di program Etap 7.5.0.. ..... II-21
3.1 Flowchart Tahapan Penelitian. III-1
4.1 Grafik tegangan sebelum penempatan kapasitor bank untuk semua bus IV-2

4.2 Grafik perbandingan daya aktifdan reaktif sebelum penempatan kapasitor bank untuk semua bus. IV-2
4.3 Grafik tegangan untuk yang bukan node bus IV-3
4.4 Grafik perbandingan daya aktifdan reaktif sebelum penempatan kapasitor bank untuk yang bukan node bus IV-3
4.5 Grafik tegangan untuk yang bukan node bus setelah penempatan kapasitor bank. IV-5
4.6 Grafik perbandingan daya aktif dan setelah setelah penempatan kapasitor untuk yang bukan node bus. IV-5
4.7 Grafik perbandingan tegangan sebelum dan setelah setelah penempatan kapasitor untuk yang bukan node bus. IV-6
4.8 Grafik perbandingan Daya Aktif sebelum dan setelah setelah penempatan kapasitor untuk yang bukan node bus. IV-7
4.9 Grafik perbandingan Daya reaktif sebelum dan setelah setelah penempatan kapasitor untuk yang bukan node bus. IV-7
4.10 Grafik perbandingan daya dan rugi-rugi daya total sebelum dan setelah setelah penempatan kapasitor untuk yang bukan node bus. IV-8

DAFTAR TABEL

Tabel halaman

2.1 Data populasi awal II-15
2.2 Data populasi awal pembaharuan..... II-16
4.1 Daya dan rugi-rugi daya total sebelum penempatan kapasitor bank..... IV-2
4.2 Hasil penempatan optimal kapasitor bank dengan Etap 7.5.0 ..... IV-6
4.3 Daya dan rugi-rugi daya total setelah penempatan kapasitor bank. IV-8
4.4 Perbandingan daya dan rugi-rugi daya total sebelum setelah penempatan kapasitor bank IV-10

DAFTAR LAMPIRAN

Lampiran halaman

A One line diagram sistem distribusi 20 kV Rayon Bangkinang wilayah Salo A-1

B One line diagram sistem distribusi 20 kV Rayon Bangkinang wilayah Salo pada loadflow analisis project di Etap 7.5.0 ..... B-1

C One line diagram sistem distribusi 20 kV Rayon Bangkinang wilayah Salo pada optimal kapasitor placement project di Etap 7.5.0 ..... C-1

D Hasil Analisis Aliran Daya Oleh Etap 7.5.0 Untuk Semua Bus. D-1

E Hasil Analisis Aliran Daya Oleh Etap 7.5.0 Untuk Yang Bukan Node Bus.. ..... E-1

F Hasil Aliran Daya Sesudah Penempatan Kapasitor Bank Untuk Semua Bus..... F-1

G Hasil Analisis Aliran Daya Sesudah Penempatan Kapasitor Oleh Etap 7.5.0 Untuk Yang Bukan Node Bus..... G-1

H Perbandingan Persentase Tegangan Pada Bus Sebelum dan Sesudah Penempatan Kapasitor Bank.. ..... H-1

I Data bus..... I-1

J Data branch J-1

K Data kabel..... K-1